

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

PCT

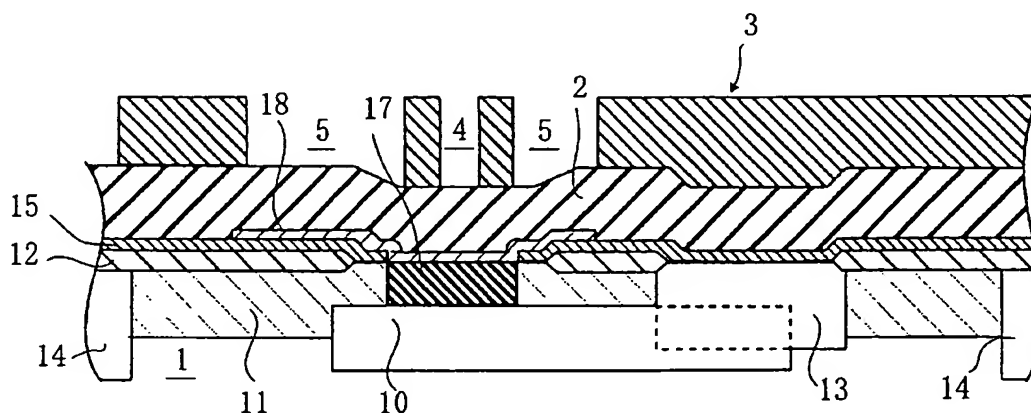
(10) 国際公開番号
WO 2005/067056 A1

- (51) 国際特許分類⁷: H01L 29/73, 21/331, 27/06 (74) 代理人: 松尾憲一郎 (MATSUO, Kenichiro); 〒8100021 福岡県福岡市中央区今泉 2 丁目 4 番 2 6 号 今泉コーポラス 1 階 Fukuoka (JP).
- (21) 国際出願番号: PCT/JP2004/018939
- (22) 国際出願日: 2004 年 12 月 17 日 (17.12.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-004186 2004 年 1 月 9 日 (09.01.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 場色正昭 (BAIRO, Masaaki) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: BIPOLAR TRANSISTOR, SEMICONDUCTOR DEVICE COMPRISING THE BIPOLAR TRANSISTOR AND PROCESS FOR FABRICATING THEM

(54) 発明の名称: バイポーラトランジスタ及びこのバイポーラトランジスタを有する半導体装置、並びにこれらの製造方法



(57) Abstract: A bipolar transistor in which a variation in current gain is prevented and the base resistance is decreased by a simple method. After a base layer is formed on a semiconductor substrate, an opening for leading out a base electrode and an opening for leading out an emitter electrode are simultaneously formed in an insulating film deposited on the base layer. Subsequently, a base electrode lead-out part is formed in the opening for leading out the base electrode and an emitter electrode lead-out part is formed in the opening for leading out the emitter electrode.

(57) 要約: 簡単な方法により、バイポーラトランジスタの電流利得のばらつきを防止するとともに、かつベース電極の抵抗を低減させる。まず、半導体基板上にベース層を形成した後、このベース層上に形成した絶縁膜にベース電極引出用開口とエミッタ電極引出用開口とを同時に形成し、次いで、前記ベース電極引出用開口にベース電極引出部を、前記エミッタ電極引出用開口にエミッタ電極引出部を形成することとし



WO 05/067056 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書